

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Kouiji Takagi

Serial No.: 09/577,734

Art Unit: unassigned

Filed: May 23, 2000

Docket: 13624

For: LIQUID CRYSTAL DISPLAY  
DEVICE HAVING UNIFORM  
FEEDTHROUGH VOLTAGE COMPONENTS

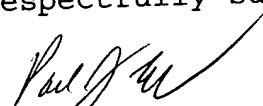
Dated: June 20, 2000

Assistant Commissioner for Patents  
Washington, DC 20231CLAIM OF PRIORITY

Sir:

Applicant, in the above-identified application, hereby claims the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submits a certified copy of Japanese Patent Application No. 11-145465, filed on May 25, 1999.

Respectfully submitted,

  
Paul J. Esatto, Jr.  
Registration No. 30,749Scully, Scott, Murphy & Presser  
400 Garden City Plaza  
Garden City, NY 11530  
(516) 742-4343  
PJE:vjsCERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner of Patents and Trademarks, Washington, D.C. 20231 on June 20, 2000.

Dated: June 20, 2000

---

Mishelle Spina



日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

5057

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 5月25日

出願番号

Application Number:

平成11年特許願第145465号

出願人

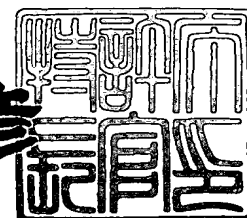
Applicant (s):

日本電気株式会社

2000年 3月31日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特2000-3022480

【書類名】 特許願

【整理番号】 74610277

【提出日】 平成11年 5月25日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 G02F 1/136

【発明の名称】 液晶表示装置

【請求項の数】 6

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 高木 恒治

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100070530

【弁理士】

【氏名又は名称】 畑 泰之

【電話番号】 3582-7161

【手数料の表示】

【予納台帳番号】 043591

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9603496

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】 ゲート信号線とドレイン信号線とがマトリクス状に配置され、これら信号線の交差位置にそれぞれ薄膜トランジスタと画素電極とが形成された T F T 基板と、この T F T 基板に微小間隔で対向される対向基板と、T F T 基板と対向基板との間隙に液晶材料が挟持された液晶パネルと、この液晶パネルの一边に沿って設けられたゲート信号入力部と、前記液晶パネルの表示部裏側に設けられたバックライトとからなる液晶表示装置において、

複数の前記画素電極のそれぞれに付加的に設けられる補助容量を、前記ゲート信号入力部から離れるに従ってゲート信号線幅を狭くすることにより、その容量値が小さくなるように構成すると共に、前記バックライトの輝度は、前記ゲート信号入力部から離れるに従って下がるように構成したことを特徴とする液晶表示装置。

【請求項 2】 前記画素の開口部面積は、ゲート信号入力部から離れるに従って大になるように構成したことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記補助容量は、前記ゲート信号線とこのゲート信号線に対向する画素電極との対向面積と、前記ゲート信号線と前記画素電極との間の層間絶縁膜とで設定されることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 4】 前記補助容量は、前記ゲート信号線とこのゲート信号線に対向する画素電極との対向面積と、前記ゲート信号線と前記画素電極との間の層間絶縁膜と窒化膜とで設定されることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 5】 前記バックライトは少なくとも 1 灯以上のライトを有し、このライトは、前記液晶パネルの表示部裏側に設けられた導光板の端部に組み付けられると共に、前記導光板の表面には光散乱を利用した印刷を施して、バックライトの輝度分布を変えたことを特徴とする請求項 1 乃至 4 の何れかに記載の液晶表示装置。

【請求項 6】 前記バックライトは、前記ゲート信号入力部側に配置したこと

を特徴とする請求項 1 乃至 5 の何れかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に係わり、特に、輝度を高くすると共に、表示品位を向上せしめた液晶表示装置に関する。

【0002】

【従来の技術】

基板表面上にマトリクス状に配置された画素電極の各々に T F T を付加したアクティブマトリクス型液晶パネルは、近年になり極性反転駆動の採用等により、コントラストや動画に対する応答速度等の表示品質が向上したため、携帯型パソコンやデスクトップパソコンのモニタまたは投写型モニタ等幅広く利用されるようになった。しかし、大画面化、高精細化及び高開口率化が進むことで、ゲート配線長増加、ゲート配線幅縮小化等が必然的となり、ゲート配線抵抗の増加は不可避となった。

【0003】

ゲート配線長増加や配線幅縮小化は、ゲート配線抵抗の増加だけでなく駆動する画素電極に容量が存在しているので、ゲートパルスが入力された際にはパルス波形のなまりが生じており、更にゲートパルスの入力端から離れるにしたがってゲート配線抵抗値が大きくなるために、パルス波形のなまりもゲートパルスの入力端から離れるにしたがって大きくなる。

【0004】

例えば、図 1 1 に示したような液晶パネル 1 の左辺と下辺にそれぞれ信号入力部 2、3 が配置され、左辺がゲート信号入力部 2 として構成されている場合には、表示画面の c 点、b 点、a 点の順、あるいは C 点、B 点、A 点の順でゲート信号入力部 2 から離れることになり、ゲート配線抵抗が大きくなる。

【0005】

この結果、ゲートパルスのなまりの違いに対応してゲートパルスがオフになる際に生じる画素電極の電位の変動、即ち、フィードスルー電圧の大きさが異なる

ようになる。

【0006】

図5の信号波形図に示すように、フィードスルー電圧は、DPC（ドレインパルスセンター）とSPC（ソースパルスセンター）の電圧差（ $V_{FDIN}$ 、 $V_{FDOUT}$ ）になる。ここで $V_{FDIN}$ はゲート入力端、 $V_{FDOUT}$ はゲート入力端と反対側のフィードスルー電圧とすると、ゲートパルスを入力側から離れるとともにフィードスルー電圧は小さくなるので、 $V_{FDIN} > V_{FDOUT}$ の関係になる。

【0007】

このように、フィードスルー電圧が表示画面内で差が大きくなると、焼き付け、シミ等が発生し表示品位劣化の原因となる。従来は表示画面内でフィードスルー電圧の差が最小になるように、例えば、表示画面中央部でフィードスルーによるドレイン信号オフセット値の落ち込みに合わせて、対向電極の電圧値を下げて調整を行っていた。しかし、表示部中心では最適値でも表示部周辺では最適値からズレることになる。このズレにより液晶には直流成分が印加されること becoming ため、液晶の焼き付きやシミ等が発生し、表示品位は著しく劣化してしまう。つまり、表示部中央で調整しても表示部周辺では液晶に直流成分が印加されるようになり、前述した表示品位劣化を有効に解消することは困難である。

【0008】

ここで、ゲートパルス波形のなまりによりフィードスルー電圧が変化する理由を述べる。

【0009】

図4に画素部における等価回路図に示すように、フィードスルー電圧 $V_{FD}$ は、ゲート信号線13、ドレイン信号線15に接続されるTFT14のゲート・ソース間容 $C_{GS}$ と、液晶容量 $C_{LC}$ 、ストレージ容量 $C_{SC}$ 、及びゲートパルス振幅 $\Delta V_G$ とを使って、近似的に以下のように表される。

【0010】

$$V_{FD} = [C_{GS} / (C_{LC} + C_{SC} + C_{GS})] \cdot \Delta V_G \quad \cdots (1)$$

一方、ゲート配線抵抗によりゲートパルスの立ち下がりがなまると、TFTが

オフになるまでの期間に、ソース電極からドレイン配線に電流が流れ込む。その総量

【0011】

【数1】

$$\int I_{DS} dt$$

【0012】

を考慮に入れるとすると、 $V_{FD}$  は以下のようになる。

【0013】

【数2】

$$V_{FD} = (C_{GS} \cdot \Delta V_G - \int I_{DS} dt) / (C_{LC} + C_{SC} + C_{GS}) \dots (2)$$

【0014】

ここで、

【0015】

【数3】

$$\int I_{DS} dt$$

【0016】

はゲートパルスのなまりに比例することから、ゲートパルス入力側では

【0017】

【数4】

$$\int I_{DS} dt \approx 0$$

【0018】

となる。

【0019】

従って、表示画面のゲート信号入力2側とその反対側ではフィードスルー電圧成分が変化し、式(2)と式(1)の差分として次に示すようなフィードスルー

面内差電圧 $\Delta V_{FD}$ が生ずる。

【0020】

【数5】

$$\Delta V_{FD} = \int I_{DS} dt / (C_{LC} + C_{SC} + C_{GS}) \dots (3)$$

【0021】

このようなフィードスルー電圧成分の表示面内均一化を実施する方法としては、まずゲートパルスなまりを縮小する目的で、ゲート配線抵抗の低減化が挙げられる。これを実現する方法としては、ゲート配線幅もしくは膜厚の拡大、及び比抵抗値の低い配線材料（例えば、アルミニウム、金等）への変更が挙げられる。しかし、配線膜厚の拡大及び材料の変更には製造プロセスの変更が伴い、また配線幅の拡大には開口率の低下を伴うという問題が生ずる。

【0022】

例えば、特開平10-39328号公報では、フィードスルー電圧成分を表示画面内で均一化することで、液晶への直流電圧成分印加の表面ばらつきを抑え、液晶パネルの表示焼き付け、シミ等を改善して表示品位を改善した液晶表示装置を提供している。

【0023】

この液晶表示装置は、TFT基板に形成される複数の画素電極のそれぞれに付加的に補助容量が設けられており、この補助容量は各画素電極に接続されるゲート信号線の入力端から離れるに従ってその容量値が小さくなるように構成している。

【0024】

例えば、各画素電極ごとに付加的に設けられる補助容量は、ゲート信号線と層間絶縁膜を介して重畳している画素電極の対向面積により設定され、この対向面積がゲート信号線の入力端から離れるに従って小さくなっている。

【0025】

図11は、特開平10-39328号公報の液晶表示装置に示された液晶パネル1の平面図であり、左辺と下辺にそれぞれ信号入力部2、3が設けられ、左辺

のゲート信号入力部 2 からゲートパルスが入力されるものとする。図 1 2 (a) ~ (c) は、図 1 1 の A、B、C の各部位における画素部拡大図であり、図 1 3 (a) ~ (c) はそれぞれの A-A' 線、B-B' 線、C-C' 線の拡大図である。

## 【0026】

図 1 2 及び図 1 3 において、ガラス基板 1 9 上にゲート信号線 1 3 が所要のパターンに形成され、層間絶縁膜 2 3 が形成され、アモルファスシリコン等からなるソース・ドレインが形成されて TFT 1 4 が形成される。そして、ドレインにはドレイン信号線 1 5 が接続され、且つ、層間絶縁膜 2 3 上には画素電極 1 6 が形成され、ソースに接続される。この画素電極 1 6 は、前段の TFT 及び画素電極 1 6 に接続される画素のゲート信号線 1 3 とその一部において重なるようにパターン形成されており、保護膜 2 7 により被覆される。また、対向するガラス基板 2 0 には対向電極 2 1 が形成されており、この対向電極 2 1 と前記保護膜 2 7 の間の間隙内に液晶 2 2 が充填されている。

## 【0027】

この構成により、図 4 に示すように各画素においては、TFT 1 4 のソースには、ゲート・ソース間容量  $C_{GS}$  と、液晶容量  $C_{LC}$ 、ストレージ容量  $C_{SC}$  が形成される。特に、ストレージ容量  $C_{SC}$  は、層間絶縁膜 2 3 を介してゲート信号線 1 3 と画素電極 1 6 が容量結合することで形成されている。そして、A 部から C 部へとゲート信号入力部 2 から離れるに従ってゲート信号線 1 3 と画素電極 1 6 とのオーバーラップ面積が小さくなるように構成されており、その結果、A 部から C 部に向けてストレージ容量が小さくなるようになっている。この構成によれば、ゲート信号入力部 2 から離れるに従い、ゲートパルスのなまりによる TFT リークのフィードスルー電圧成分は大きくなるが、ストレージ容量  $C_{SC}$  の大きさがゲート信号入力部 2 から離れるに従って小さく形成されているため、このストレージ容量変化によって補正することができる。即ち、図 1 1 の A 部のフィードスルー電圧成分  $V_{FDIN}$  及びストレージ容量  $C_{SC}$  と、図 1 1 の C 部のフィードスルー電圧成分  $V_{FDOUT}$  及びストレージ容量  $C_{SC}'$  のそれぞれについてみると、 $V_{FDIN}$  及び  $V_{FDOUT}$  は、それぞれ (4) 式、(5) 式で

示される。

【0028】

$$V_{FDIN} = [C_{GS} / (C_{LC} + C_{SC} + C_{GS})] \cdot \Delta V_G \quad \dots (4)$$

【0029】

【数6】

$$V_{FDOUT} = (C_{GS} \cdot \Delta V_G - \int I_{DS} dt) / (C_{LC} + C_{SC}' + C_{GS}) \quad \dots (5)$$

【0030】

これら(4)式、(5)式において、ストレージ容量 $C_{SC}$ と $C_{SC}'$ とが同じならば $V_{FDIN} > V_{FDOUT}$ なので、 $V_{FDIN}$ 及び $V_{FDOUT}$ が等しくなるように $C_{SC}$ と $C_{SC}'$ とを定めれば、A部とC部とでフィードスルー成分は均一にできる。

【0031】

これを信号波形図で説明する。

【0032】

図5(a)は前記A部の信号波形を示しており、図5(b)はC部の信号波形を示している。図示上側の波形は信号線に入力されるゲートパルスGP及びドレインパルスDPの波形であり、図示下側の波形は画素電極に実際に書き込まれるソースパルスSPの波形である。A部ではソースパルスSPがゲートパルスGPの立ち下がりの影響を受けるため、ソースパルスセンターSPCは、ドレインパルスセンターDPCに対して $V_{FDIN}$ だけ低くなる。それに対して、C部ではTFTリークがあるため、ゲートパルスGPの立ち下がりの影響が小さくなる。そこで前述したように、TFTリーク分を見込んで、ゲートパルスGP入力側のストレージ容量に対して、反対側のストレージ容量を小さくすることで、ゲートパルスGPの立ち下がりの影響を大きくし、 $V_{FDIN}$ と $V_{FDOUT}$ とを同じ値にすることができる。

【0033】

実際に補正するにあたっては、事前にシミュレーションや実験を実施し、

【0034】

【数 7】

$$\int I_{DS} dt$$

【0035】

を見積もった上で、ストレージ容量の変化量を定め、ゲートパルス入力側 2 から離れるに従って、段階的にストレージ容量を小さくしていく。以下に、ストレージ容量  $C_{SC}$  と  $C_{SC}'$  との関係を示す。

【0036】

【数 8】

$$C_{SC}' = [(C_{GS} \cdot \Delta V_G - \int I_{DS} dt) (C_{LC} + C_{SC} + C_{GS})] / (C_{GS} \cdot \Delta V_G) - (C_{LC} - C_{GS}) \dots (6)$$

【0037】

これにより、C部のストレージ容量値  $C_{SC}'$  を求め、 $C_{SC}$  から  $C_{SC}'$  へとゲート信号入力側 2 から反対側へ段階的に小さくしていく。具体的には、図 12 に示したように、画素電極 16 と前段ゲート信号線 13 とのオーバーラップ面積、即ち、オーバーラップ距離を段階的に小さくしていくことで、ストレージ容量を小さくする。

【0038】

この液晶パネルを実際に製造して、表示画面内のフィードスルー変化について測定を行った結果が図 14 である。従来品はゲートパルス入力側から離れて行くほどフィードスルー値は小さくなっているが、この液晶パネルではゲートパルス入力側からの長さにかかわらず A 部、C 部で同一の値になっている。表示画面内のフィードスルー電圧成分は均一化され、表示パネルの全表示画面内における表示焼き付きやシミ等を抑えることができ、表示品位を改善することができる効果がある。

【0039】

【発明が解決しようとする課題】

本発明の目的は、上記した従来例と異なる構成で、表示画面内のフィードスルー

一電圧成分を均一にし、表示パネルの全表示画面内における表示焼き付きやシミ等を抑えると共に、輝度を均一にして、表示品位を向上せしめた新規な液晶表示装置を提供するものである。

【 0 0 4 0 】

【課題を解決するための手段】

本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。

【 0 0 4 1 】

即ち、本発明に係わる液晶表示装置の第 1 態様は、

ゲート信号線とドレイン信号線とがマトリクス状に配置され、これら信号線の交差位置にそれぞれ薄膜トランジスタと画素電極とが形成された T F T 基板と、この T F T 基板に微小間隔で対向される対向基板と、T F T 基板と対向基板との間隙に液晶材料が挟持された液晶パネルと、この液晶パネルの一辺に沿って設けられたゲート信号入力部と、前記液晶パネルの表示部裏側に設けられたバックライトとからなる液晶表示装置において、

複数の前記画素電極のそれぞれに付加的に設けられる補助容量を、前記ゲート信号入力部から離れるに従ってゲート信号線幅を狭くすることにより、その容量値が小さくなるように構成すると共に、前記バックライトの輝度は、前記ゲート信号入力部から離れるに従って下がるように構成したことを特徴とするものであり、

又、第 2 態様は、

前記画素の開口部面積は、ゲート信号入力部から離れるに従って大になるように構成したことを特徴とするものであり、

又、第 3 態様は、

前記補助容量は、前記ゲート信号線とこのゲート信号線に対向する画素電極との対向面積と、前記ゲート信号線と前記画素電極との間の層間絶縁膜とで設定されることを特徴とするものであり、

又、第 4 態様は、

前記補助容量は、前記ゲート信号線とこのゲート信号線に対向する画素電極と

の対向面積と、前記ゲート信号線と前記画素電極との間の層間絶縁膜と窒化膜とで設定されることを特徴とするものであり、

又、第 5 態様は、

前記バックライトは少なくとも 1 灯以上のライトを有し、このライトは、前記液晶パネルの表示部裏側に設けられた導光板の端部に組み付けられると共に、前記導光板の表面には光散乱を利用した印刷を施して、バックライトの輝度分布を変えたことを特徴とするものであり、

又、第 6 態様は、

前記バックライトは、前記ゲート信号入力部側に配置したことを特徴とするものである。

#### 【0042】

##### 【発明の実施の形態】

本発明に係わる液晶表示装置は、

画素電極のそれぞれに付加的に設けられる補助容量を、前記ゲート信号入力部から離れるに従ってゲート信号線幅を狭くすることにより、その容量値が小さくなるように構成すると共に、前記バックライトの輝度は、前記ゲート信号入力部から離れるに従って下がるように構成したので、表示画面内のフィードスルー電圧成分を均一にし、表示パネルの全表示画面内における表示焼き付きやシミ等を抑え、更に、輝度を均一にして、表示品位を向上させることを可能にしたものである。

#### 【0043】

##### 【実施例】

以下に、本発明に係わる液晶表示装置の具体例を図面を参照しながら詳細に説明する。

#### 【0044】

##### (第 1 の具体例)

図 1 乃至図 3 は、本発明に係わる液晶表示装置の第 1 の具体例の構造を示す図であって、これらの図には、

ゲート信号線 13 とドレイン信号線 15 とがマトリクス状に配置され、これら

信号線の交差位置にそれぞれ薄膜トランジスタ 1 4 と画素電極 1 6 とが形成された T F T 基板 1 9 と、この T F T 基板 1 9 に微小間隔で対向される対向基板 2 0 と、T F T 基板 1 9 と対向基板 2 0 との間隙に液晶材料 2 2 が挟持された液晶パネル 1 と、この液晶パネル 1 の一辺に沿って設けられたゲート信号入力部 2 と、前記液晶パネル 1 の表示部裏側に設けられたバックライト 4 とからなる液晶表示装置において、

複数の前記画素電極 1 6 のそれぞれに付加的に設けられる補助容量 1 7 を、前記ゲート信号入力部 2 から離れるに従ってゲート信号線 1 3 の幅を狭くすることにより、その容量値が小さくなるように構成すると共に、前記バックライト 4 の輝度は、前記ゲート信号入力部 2 から離れるに従って下がるように構成した液晶表示装置が示されている。

#### 【 0 0 4 5 】

以下に、第 1 の具体例を更に詳細に説明する。

#### 【 0 0 4 6 】

図 1 ( a ) は、第 1 の具体例の液晶パネル 1 とバックライト 4 との平面図であり、液晶パネルの左辺と上辺にそれぞれ信号入力部 2、3 が設けられ、左辺のゲート信号入力部 2 からゲートパルスが入力されるものとする。図 1 ( b ) は液晶表示装置を矢印 A 方向から見た断面図であり、図示したように、液晶パネル 1 の下側にバックライトの導光板 8 及びバックライト 4 が設けられる。

#### 【 0 0 4 7 】

図 2 ( a ) は、図 1 ( a ) のゲート信号入力部 2 側の画素 5、図 2 ( b ) は、中間画素 6、図 2 ( c ) は、液晶パネル 1 を挟み、ゲート信号入力部 2 と反対側の画素 7 の拡大図である。図 3 ( a ) ~ ( c ) は、それぞれの図 2 の A 1 - A 1 ' 線、B 1 - B 1 ' 線、C 1 - C 1 ' 線の拡大断面図である。

#### 【 0 0 4 8 】

図 2 及び図 3 において、ガラス基板 1 9 上にゲート信号線 1 3 が所要のパターンに形成され、且つ、これを覆う層間絶縁膜 2 3 が形成され、アモルファスシリコン等からなるソース・ドレインが形成されて T F T 1 4 が形成される。そして、ドレインにはドレイン信号線 1 5 が接続され、且つ、ソースは、画素電極 1 6

に接続される。この画素電極 16 は、前段の TFT 及び画素電極 16 に接続される画素のゲート信号線 13 とその一部において重なるようにパターン形成がされており、このオーバーラップがストレージ容量を形成し、補助容量部 17 となる。更に、PA 窒化膜 24 により被覆され、図示していないが、この PA 窒化膜 24 は所要のパターンに形成される。

## 【0049】

また、対向するガラス基板 20 には、対向電極 21 が形成されており、この対向電極 21 と PA 窒化膜 24 の間の間隙内に液晶 22 が充填されている。

## 【0050】

画素部における等価回路は、図 4 に示すように、各画素においては、TFT 14 のソースには、ゲート・ソース間容量  $C_{GS}$  と、液晶容量  $C_{LC}$ 、ストレージ容量  $C_{SC}$  が形成される。特に、ストレージ容量  $C_{SC}$  は、層間絶縁膜 23 を介してゲート信号線 13 と画素電極 16 とが容量結合することで形成されている。

## 【0051】

そして、図 2 及び図 3 に示すように A 部から C 部へとゲート信号入力部 2 から離れるに従って、ゲート信号線 13 を狭くして、画素電極 16 とのオーバーラップ面積が小さくなるように構成されており、この結果、A 部から C 部に向けてストレージ容量が小さくなる。なお、画素電極 16 は一定である。

## 【0052】

この構成によれば、ゲートパルス入力部 2 から離れるにしたがい、ゲートパルスのなまりによる TFT リークによりフィードスルー電圧成分は大きくなるが、ストレージ容量  $C_{SC}$  の大きさがゲート信号入力部 2 から離れるにしたがって小さくなっているため、このストレージ容量変化によって補正することができる。

## 【0053】

即ち、図 1 の A 部のフィードスルー電圧成分  $V_{FDIN}$  及びストレージ容量  $C_{SC}$  と、図 1 の C 部のフィードスルー電圧成分  $V_{FDOUT}$  及びストレージ容量  $C_{SC}'$  のそれぞれについてみると、 $V_{FDIN}$  及び  $V_{FDOUT}$  は、それぞれ (4) 式、(5) 式で示される。

## 【0054】

$$V_{FDIN} = [C_{GS} / (C_{LC} + C_{SC} + C_{GS})] \cdot \Delta V_G \quad \dots (4)$$

【0055】

【数9】

$$V_{FDOU} = (C_{GS} \cdot \Delta V_G - \int I_{DS} dt) / (C_{LC} + C_{SC}' + C_{GS}) \quad \dots (5)$$

【0056】

これら(4)式、(5)式において、ストレージ容量 $C_{SC}$ と $C_{SC}'$ とが同じならば $V_{FDIN} > V_{FDOU}$ なので、 $V_{FDIN}$ 及び $V_{FDOU}$ が等しくなるように $C_{SC}$ と $C_{SC}'$ とを定めれば、A部とC部とでフィードスルー成分は均一にできる。

【0057】

これを信号波形図で説明する。

【0058】

図5(a)は、前記A部の信号波形を示しており、図5(b)は、C部の信号波形を示している。図示した上側の波形は、信号線に入力されるゲートパルスGP及びドレインパルスDPの波形であり、下側の波形は画素電極に実際に書き込まれるソースパルスSPの波形である。A部では、ソースパルスSPがゲートパルスGPの立ち下がりの影響を受けるため、ソースパルスセンターSPCは、ドレインパルスセンターDPCに対して $V_{FDIN}$ だけ低くなる。それに対して、C部では、TFTリークがあるため、ゲートパルスGPの立ち下がりの影響が小さくなる。そこで前述したように、TFTリーク分を見込んで、ゲートパルスGP入力側のストレージ容量に対して、反対側のストレージ容量を小さくすることで、ゲートパルスGPの立ち下がりの影響を大きくし、 $V_{FDIN}$ と $V_{FDOU_T}$ とを同じ値にすることができる。

【0059】

実際に補正するにあたっては、事前にシミュレーションや実験を実施し、

【0060】

【数 10】

$$\int I_{DS} dt$$

【0061】

を見積もった上で、ストレージ容量の変化量を定め、ゲート信号入力側から離れるに従って、段階的にストレージ容量を小さくしていく。以下に、 $C_{SC}$ と $C_{SC}'$ との関係を示す。

【0062】

【数 11】

$$C_{SC}' = [(C_{GS} \cdot \Delta V_G - \int I_{DS} dt) (C_{LC} + C_{SC} + C_{GS})] / (C_{GS} \cdot \Delta V_G) - (C_{LC} - C_{GS}) \dots (6)$$

【0063】

これにより、C部のストレージ容量値 $C_{SC}'$ を求め、 $C_{SC}$ から $C_{SC}'$ へとゲート信号入力側2から反対側へ段階的に小さくする。

【0064】

具体的には、図2に示したように、画素電極16を一定にしておいて、前段ゲート信号線13の幅を狭くすることによって、画素電極16とのオーバーラップ面積を段階的に小さくして、ストレージ容量を小さくしていく。

【0065】

これにより、表示画面内のフィードスルー電圧成分は均一化され、表示パネルの全表示画面内における表示焼き付きやシミ等を抑えることができ、表示品位を改善することができる効果がある。

【0066】

ところで従来のは、ゲート配線幅が一定なので、図7に示すように、開口部面積は均一で、それに組み合わせるバックライトも均一にして、最終的に全表示画面で輝度を均一にしている。

【0067】

しかし、本発明は、図2に示すように、ゲート信号入力端2から離れるに従っ

て、ゲート信号線 1 3 の幅を狭くしているため、液晶表示に利用される光の透過する面積、つまり画素の開口部 1 8 の面積が増加している。画素の開口部 1 8 の面積は、図示しないカラーフィルターの遮光膜と TFT の Cr、Al 等金属膜でできているゲート信号線とで規定されるので、ゲート信号線の幅が狭くなり、その結果、画素の開口部面積が広くなる。

## 【0068】

この液晶パネルは、開口部 1 8 の面積がゲート信号入力端 2 から離れるに従って増加しているので、図 6 (a) に示すように、ゲート信号入力端 2 で従来と同じ開口部面積だが、反対側は、ゲート信号入力端 2 より開口部面積は広くなっていて、液晶パネルの全表示画面として開口部面積は広がっている。

## 【0069】

この為、組み合わせるバックライトは、不均一な開口部面積を補正するために、図 6 (b) に示すように、ゲート信号入力端 2 側では明るくし、反対側は、ゲート信号入力端 2 側より暗い輝度分布としているので、表示部全体としては均一な輝度分布になり、さらに高輝度になる。

## 【0070】

ここでバックライトについて説明する。

## 【0071】

図 1 (b) に示すように、特にノートパソコンのような省電力や省スペースが要求されるものにおいては、バックライト 4 は通常 1 灯で、バックライト 4 は全表示画面を照らすための導光板 8 のエッジあるいはサイドにマウントされている。通常、輝度はバックライト 4 に近いほど輝度は高く、遠いほど輝度は低い、導光板 8 により全表示画面の輝度を調整している。輝度の調整は、導光板 8 の表面に印刷 9 を設けていて、バックライト 4 に近いほど印刷 9 を少なく、遠いほど印刷 9 を多くしている。光 1 0 はこの印刷 9 にあたると乱反射して表示画面側に散乱 1 1 して明るくなり、印刷 9 のない部分では、全反射して導光板側に反射 1 2 する。反射した光は、導光板 8 の表示画面側の反対側で再度全反射して光 1 0 は再利用される。表示に利用する光は全体として変化しないので、輝度分布を変えても全表示画面として明るさは変化していない。

【0072】

このように、本発明によると、液晶パネルは、全表示画面で見ると開口部面積は増加し、又、輝度分布はバックライトで補正しているので、液晶表示装置としては均一な輝度分布でしかも高輝度になるから明るくなる。

【0073】

(第2の具体例)

次に、図8、9に基づき、本発明の第2の具体例について説明する。

【0074】

図8(a)～(c)は、夫々、図1(a)のゲート信号入力部2側の画素5、ゲート入力部2と反対側との中間画素6、液晶パネルを挟んで、ゲート信号入力部2と反対側の画素7の拡大図である。

【0075】

図9(a)～(c)は、図8(a)～(c)のA1-A1'線、B1-B1'線、C1-C1'線の拡大断面図である。

【0076】

図8及び図9において、ガラス基板19上にゲート信号線13が所要のパターンに形成され、且つ、これを覆う層間絶縁膜23が形成され、アモルファスシリコン等からなるソース・ドレインが形成されてTFT14が形成される。そしてドレインにはドレイン信号線15が接続され、且つ、これを覆うように形成されたPA窒化膜24上には画素電極16が形成され、前記ソース25にコンタクトホール26を介して接続される。この画素電極16は、前段のTFT及び画素電極16に接続される画素のゲート信号線13とその一部において重なるようにパターン形成されていて、このオーバーラップがストレージ容量を形成し、補助容量部17となる。

【0077】

また、対向するガラス基板20には対向電極21が形成されており、この対向電極21と画素電極16の間隙内に液晶22が充填されている。

【0078】

この構成は、ドレイン信号線15及びソース25と画素電極16を層間分離し

た構造でプロセスを短縮することができる。

【0079】

図4の等価回路図に示すように、各画素においては、TFT14のソースには、ゲート・ソース間容量 $C_{GS}$ と、液晶容量 $C_{LC}$ 、ストレージ容量 $C_{SC}$ が形成される。

【0080】

図9(a)～(c)に示すように、ストレージ容量は、層間絶縁膜23及びPA窒化膜24を介してゲート信号線13と画素電極16とが容量結合することで形成されている。

【0081】

ストレージ容量は、PA窒化膜24を余分に介しているため容量は小さくなり、これを補うためには図8及び9の補助容量部17の面積は大きくなり、面積を確保するためにゲート入力部2側では配線幅が太くなってしまいが、本発明ではA部からC部へとゲートパルス入力部2から離れるに従って、画素電極16を一定にして、ゲート信号線13の幅を狭くすることができ、画素電極16とのオーバーラップ面積が小さくなるようにできる。

【0082】

このように第2の具体例でも、液晶表示に利用される光の透過する面積、つまり画素の開口部18の面積を増加することができるため、第1の具体例と同様な効果が得られる。

【0083】

特に、第1の具体例に比べて、ゲート入力端でゲート配線幅が太いので、ゲートパルスの立ち下がりの影響が大きく、ストレージ容量はPA窒化膜24を余分に介しているので、容量を変化させるためには補助容量17の面積は大きく変化する、つまり、ゲート信号入力部2から離れるに従ってゲート配線幅をより狭くすることになるので、開口部面積の増加の効果が期待できる。

【0084】

(第3の具体例)

図10(a)は本発明の第3の具体例を示す液晶パネル1とバックライト4の

平面図で、図示の左辺と上辺にそれぞれ信号入力部 2、3 が設けられ、左辺のゲート信号入力部 2 からゲートパルスが入力されるものとする。

【0085】

図 10 (b) は、液晶表示装置を矢印 B 方向下側から見た断面図であり、図示のように液晶パネル 1 の下側にバックライトの導光板 8 があり、バックライト 4 は液晶パネル 1 下側でゲートパルス入力部 2 側に配置する。

【0086】

通常輝度はバックライト 4 に近いほど輝度は高く、遠いほど輝度は低いが、導光板 8 により全表示画面の輝度を調整している。輝度の調整は、導光板 8 の表面に印刷 9 を設けていて、バックライト 4 に近いほど印刷 9 を少なく、遠いほど印刷 9 を多くしている。図 10 (b) のようにバックライト 4 をゲート信号入力部 2 側に配置すると、導光板 8 の印刷 9 を比較的均一に配置すれば、図 6 (b) のような輝度分布になるので、導光板 8 の印刷 9 の設計が容易になるという効果がある。

【0087】

【発明の効果】

本発明に係わる液晶表示装置は、ゲート信号線を狭くしているため、液晶表示に利用される光の透過する面積、つまり画素の開口部の面積が増加している。従って、この液晶パネルと組み合わせるバックライトは、不均一な開口部面積を補正するために、ゲート入力端では明るくし、反対側は入力端より暗い輝度分布とする構成になっているから、高輝度な表示装置を実現することが出来る。

になる。

【0088】

更に、表示画面内のフィードスルー電圧成分が均一化され、表示パネルの全表示画面内における表示焼き付きやシミ等を抑えることができるから、表示品位を向上させる効果を奏する。

【図面の簡単な説明】

【図 1】

本発明に係わる液晶表示装置を示し、(a) は平面図、(b) は断面図である

【図 2】

図 1 の A、B、C の各点における内部構成を示す拡大平面図である。

【図 3】

図 1 の A、B、C の各点における画素の断面図である。

【図 4】

画素部の等価回路図である。

【図 5】

駆動波形なまりによるフィードスルーの変化を説明するための信号波形図である。

【図 6】

(a) 乃至 (c) は、夫々、本発明の液晶パネルの開口部の面積、バックライトの輝度分布、表示部の輝度分布を示すグラフである。

【図 7】

(a) 乃至 (c) は、夫々、従来の液晶パネルの開口部の面積、バックライトの輝度分布、表示部の輝度分布を示すグラフである。

【図 8】

本発明の第 2 の具体例の拡大平面図である。

【図 9】

図 8 の各点の断面図である。

【図 10】

本発明の第 3 の具体例を示す図である。

【図 11】

液晶パネルの平面図である。

【図 12】

図 11 の A、B、C の各点における内部構成を示す拡大平面図である。

【図 13】

(a) ～ (c) は、図 12 の A-A'、B-B'、C-C' 断面図である。

【図 14】

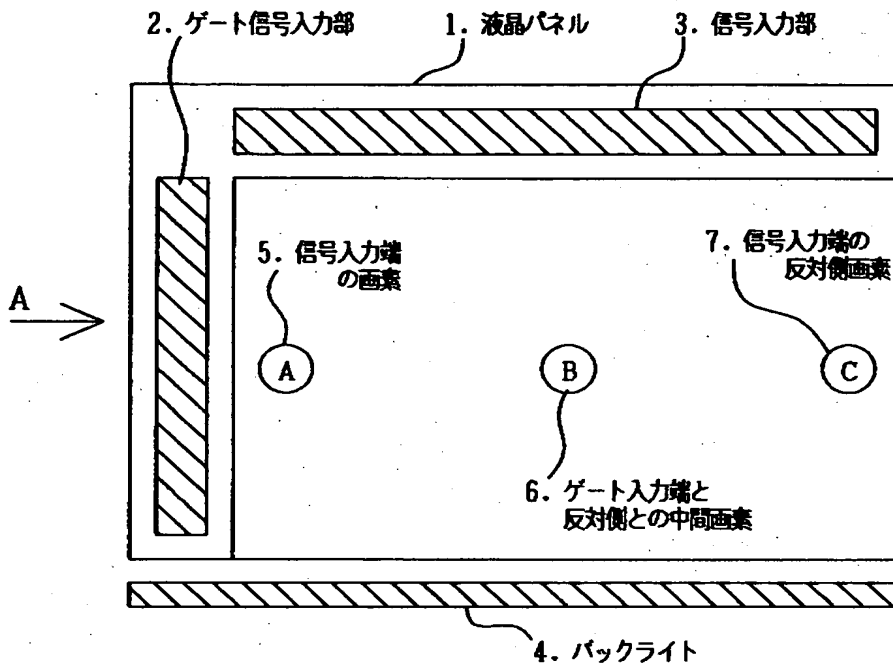
水平方向のフィードスルーの変化を示す図である。

【符号の説明】

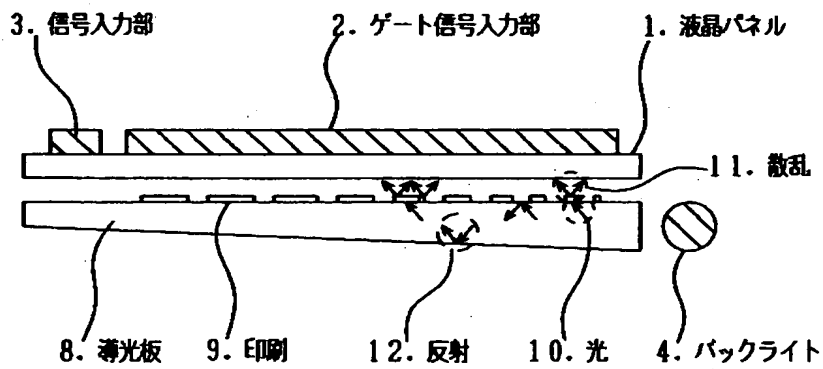
- 1 液晶パネル
- 2 ゲート信号入力部
- 3 信号入力部
- 4 バックライト
- 5 ゲート入力端の画素
- 6 中間の画素
- 7 信号入力端の反対側の画素
- 8 導光板
- 9 印刷
- 1 3 ゲート信号線
- 1 4 T F T
- 1 5 ドレイン信号線
- 1 6 画素電極
- 1 7 補助容量部
- 1 8 開口部
- 1 9、2 0 ガラス基板
- 2 1 対向電極
- 2 2 液晶
- 2 3 層間絶縁膜
- 2 4 P A窒化膜
- 2 6 コンタクトホール
- 2 7 保護膜

【書類名】 図面

【図 1】

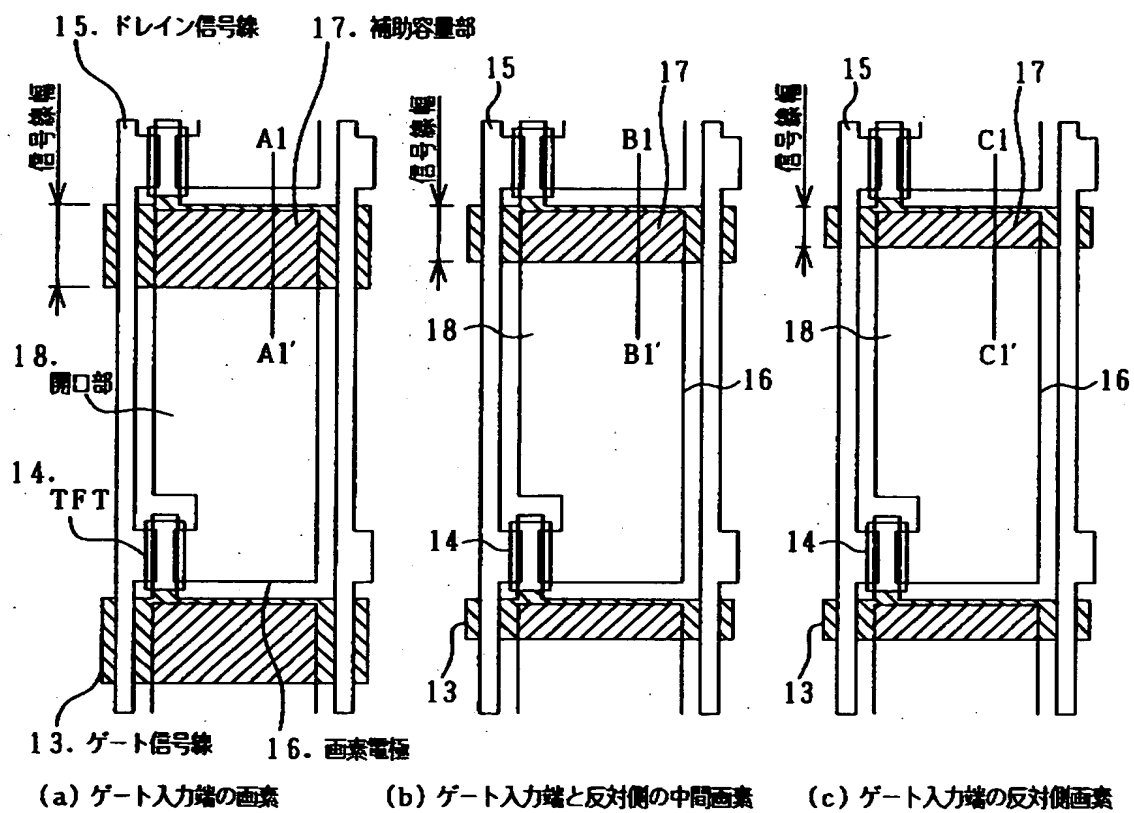


(a) 液晶表示装置の平面図

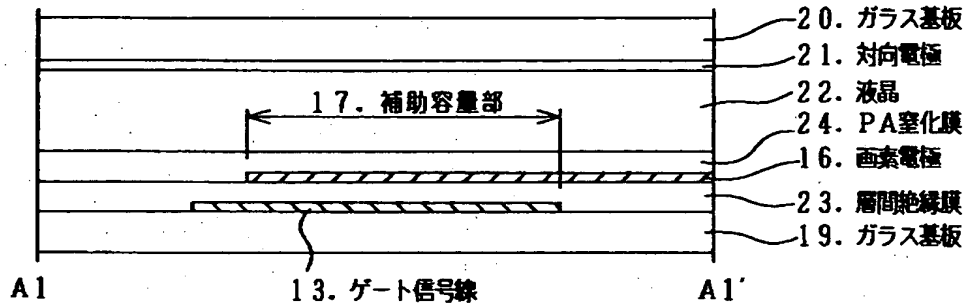


(b) 液晶表示装置の左側から見た断面図

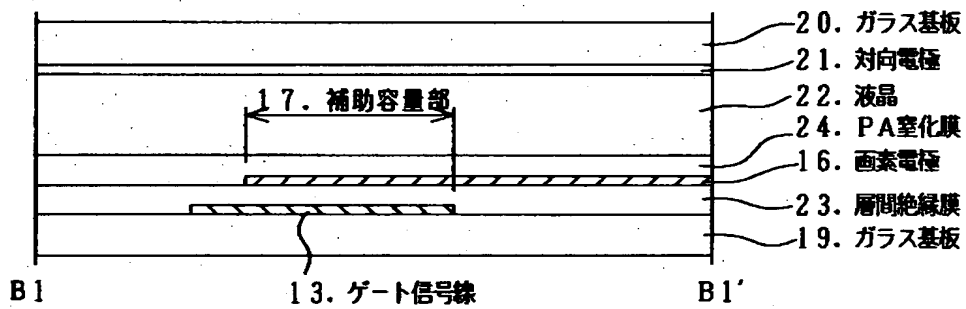
【図 2】



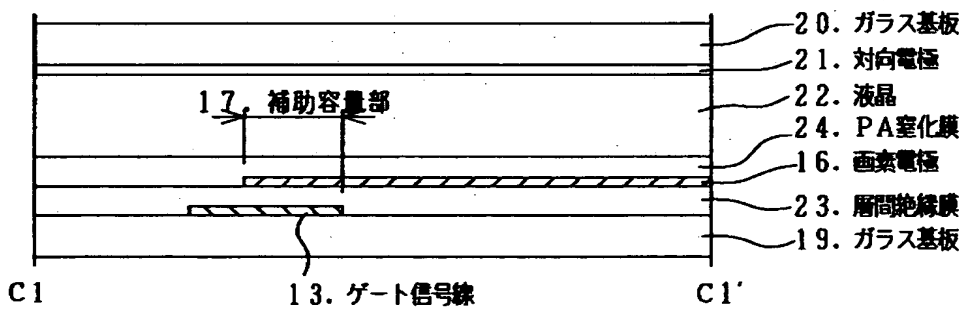
【図 3】



(a) ゲート入力端側の画素断面図

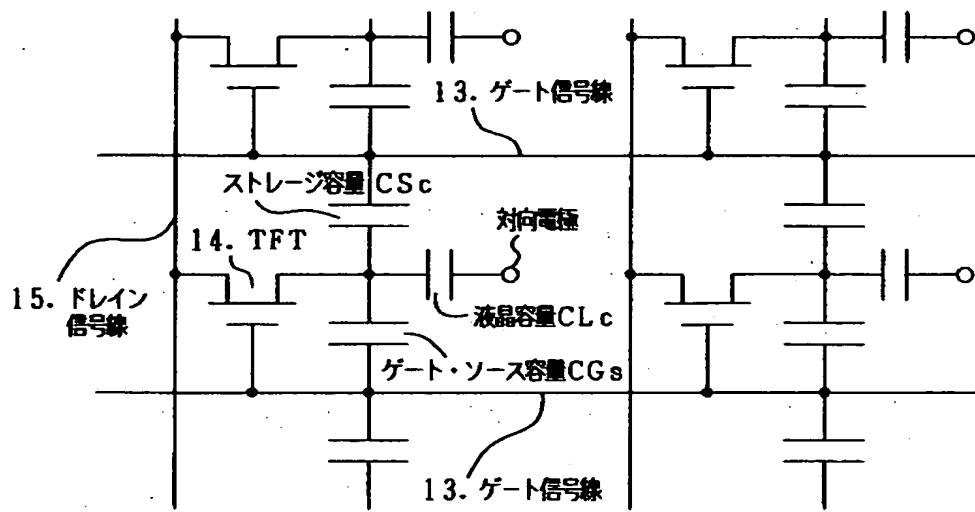


(b) 中間の画素断面図

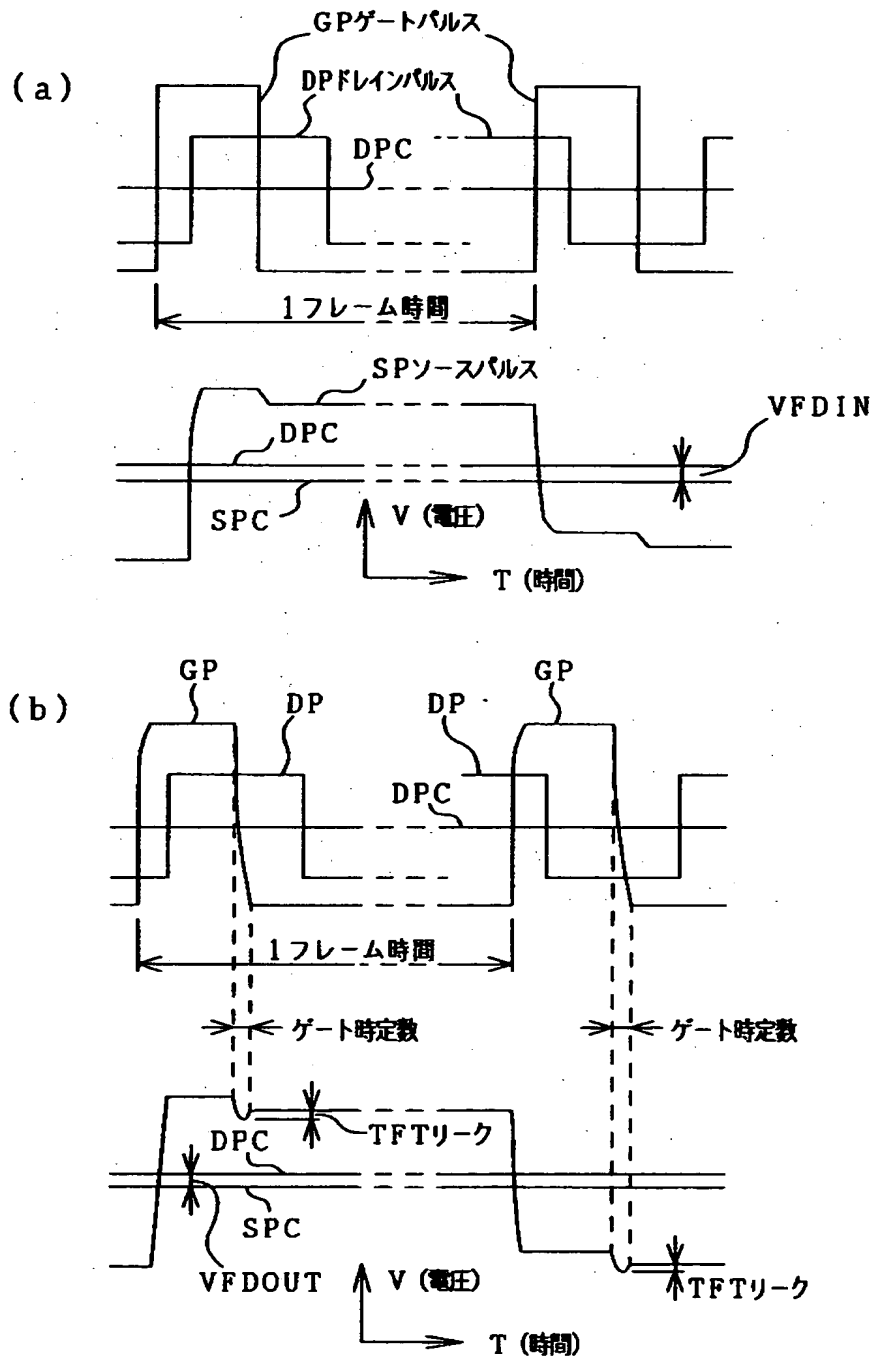


(c) ゲート入力端の反対側の画素断面図

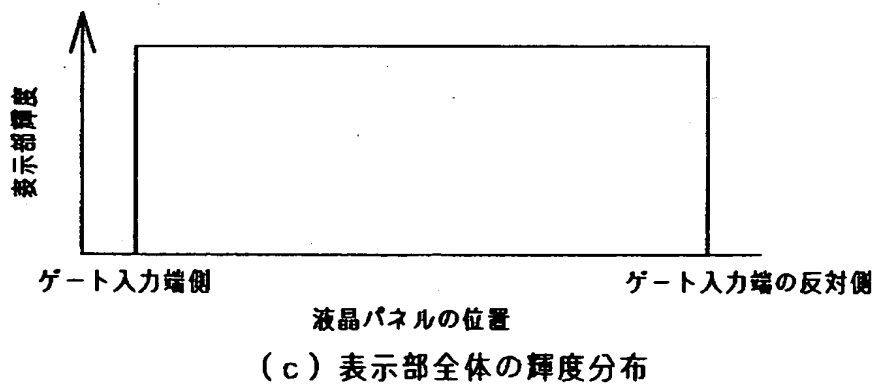
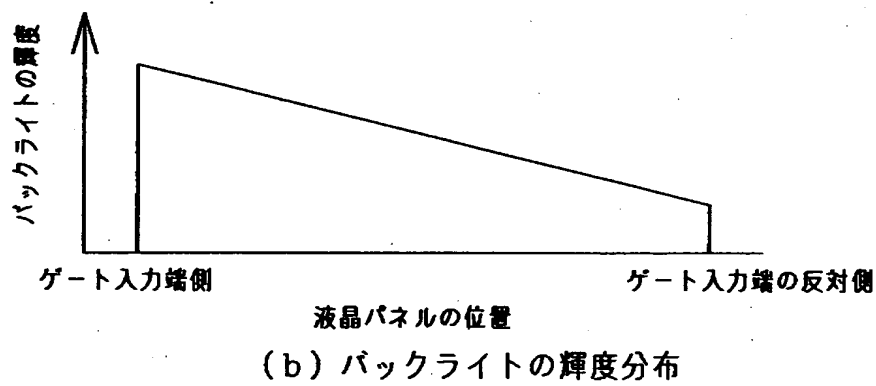
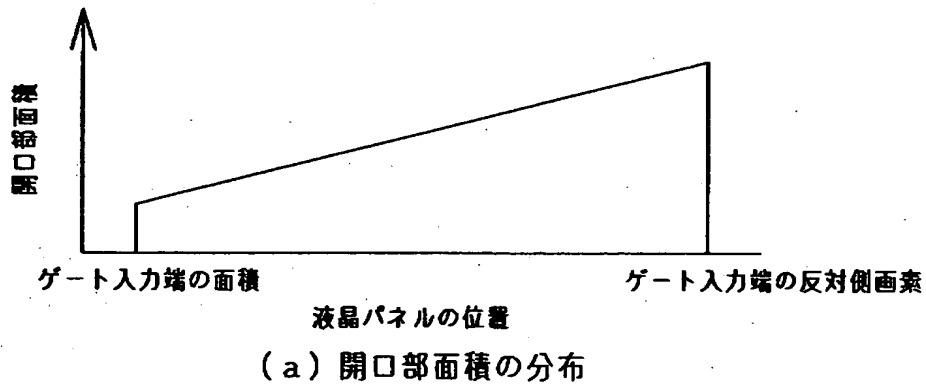
【図 4】



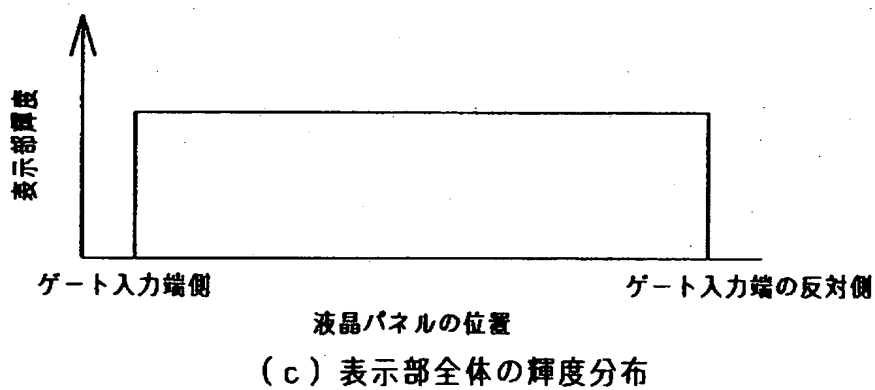
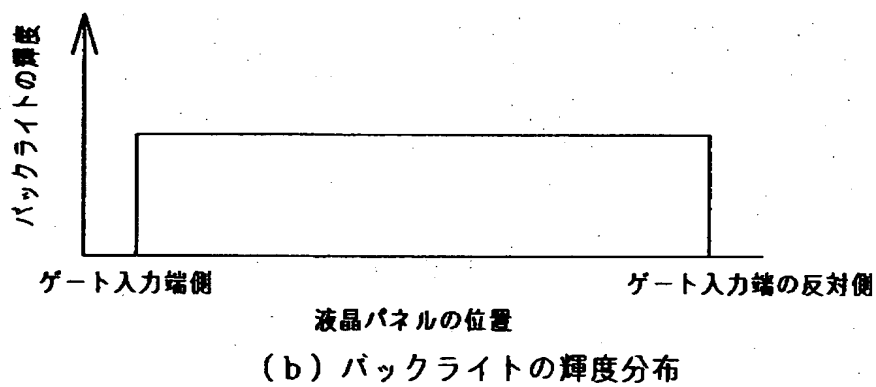
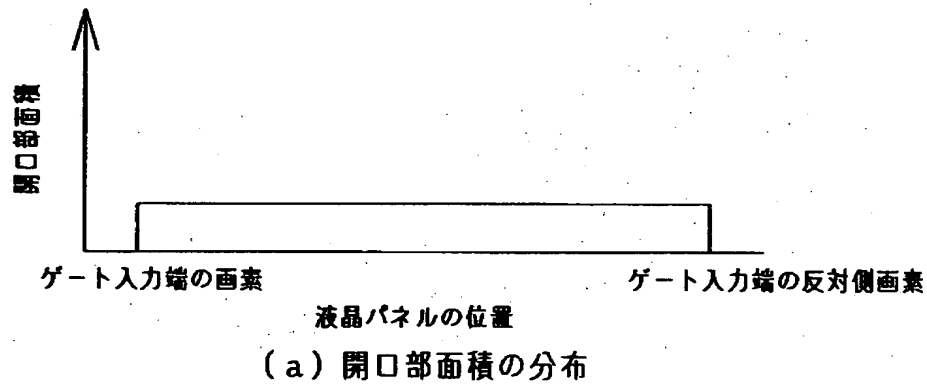
【図 5】



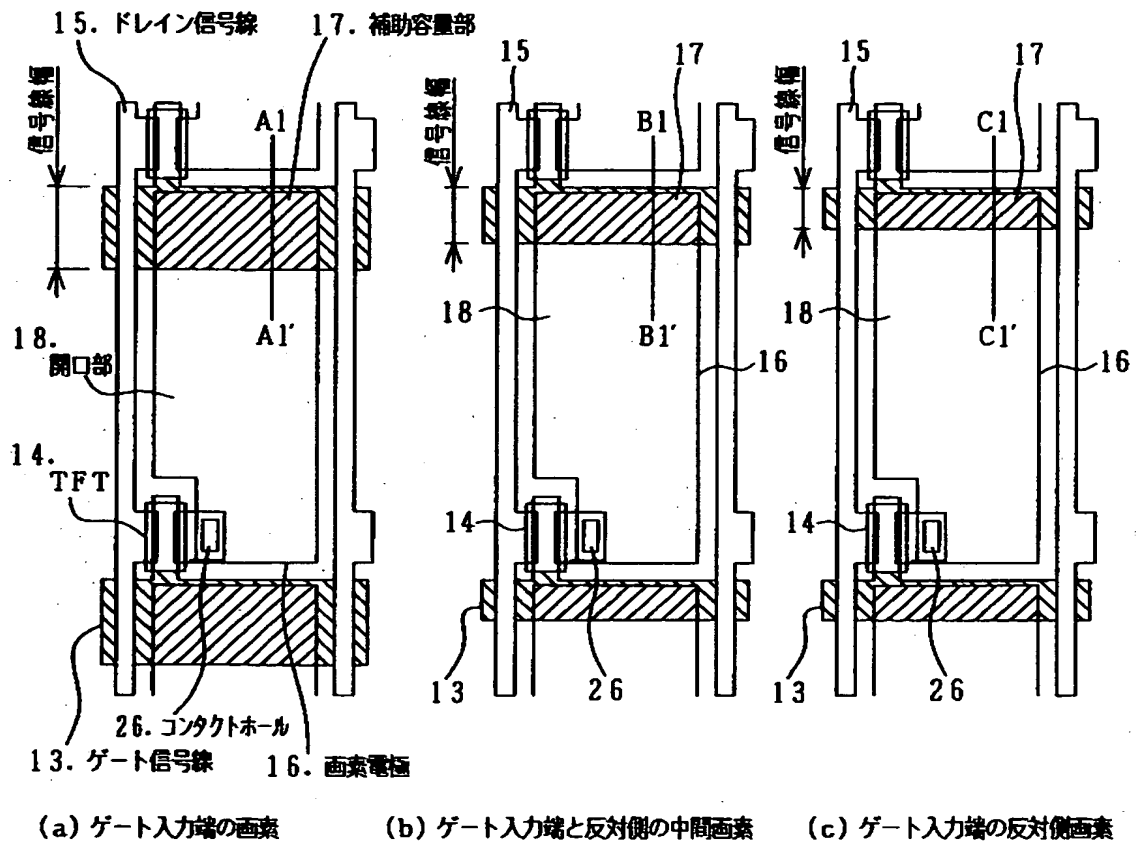
【図 6】



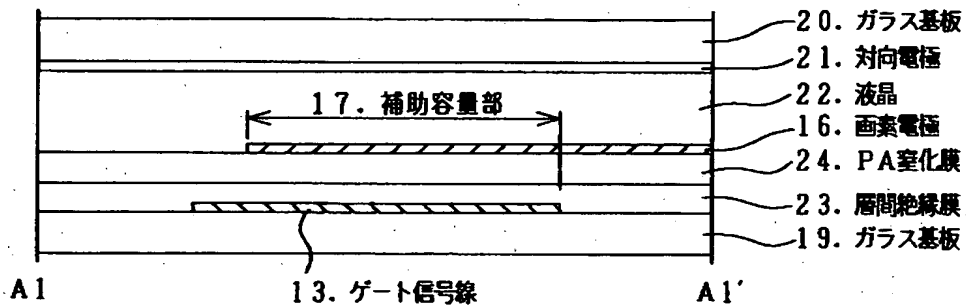
【図 7】



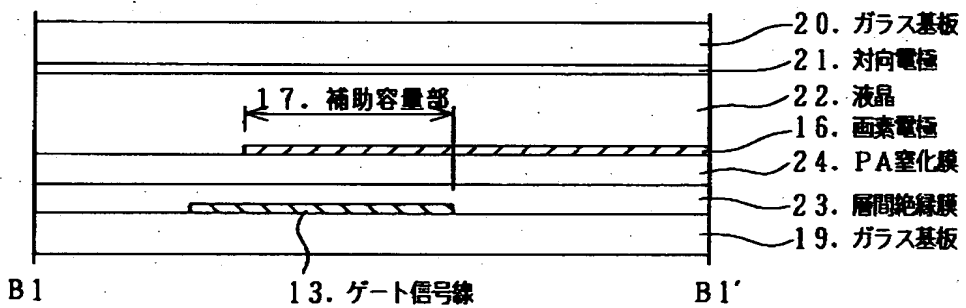
【図 8】



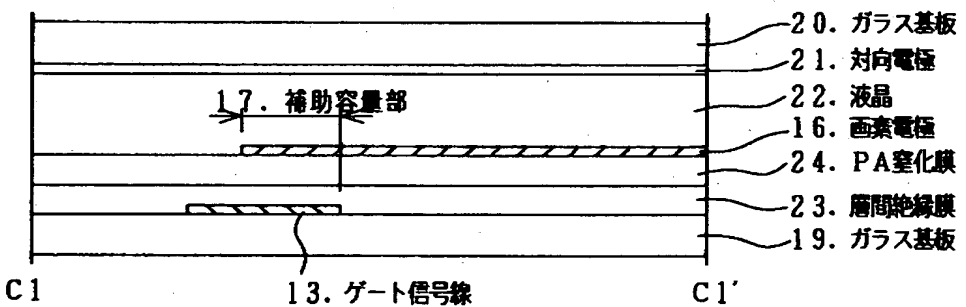
【図 9】



(a) ゲート入力端の画素断面図

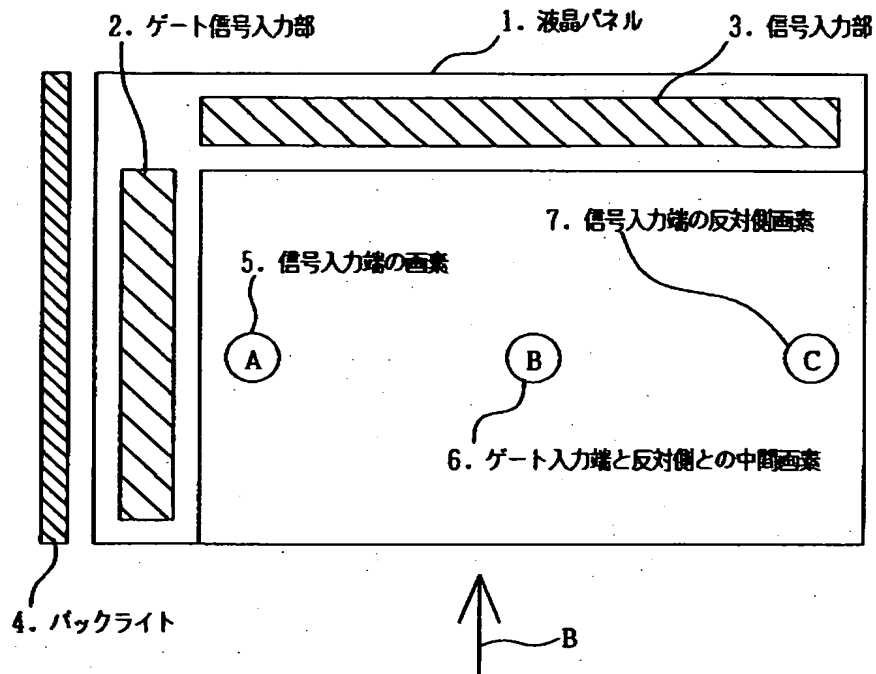


(b) ゲート入力端と反対側の中間画素断面図

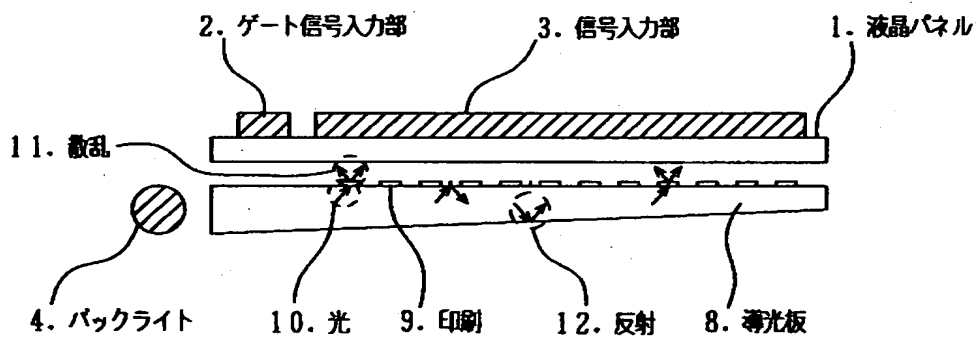


(c) ゲート入力端の反対側画素断面図

【図 1 0】

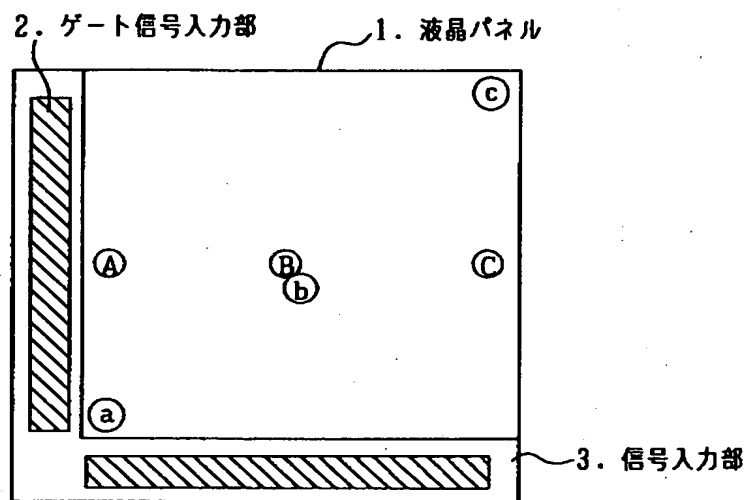


(a) 液晶表示装置の平面図

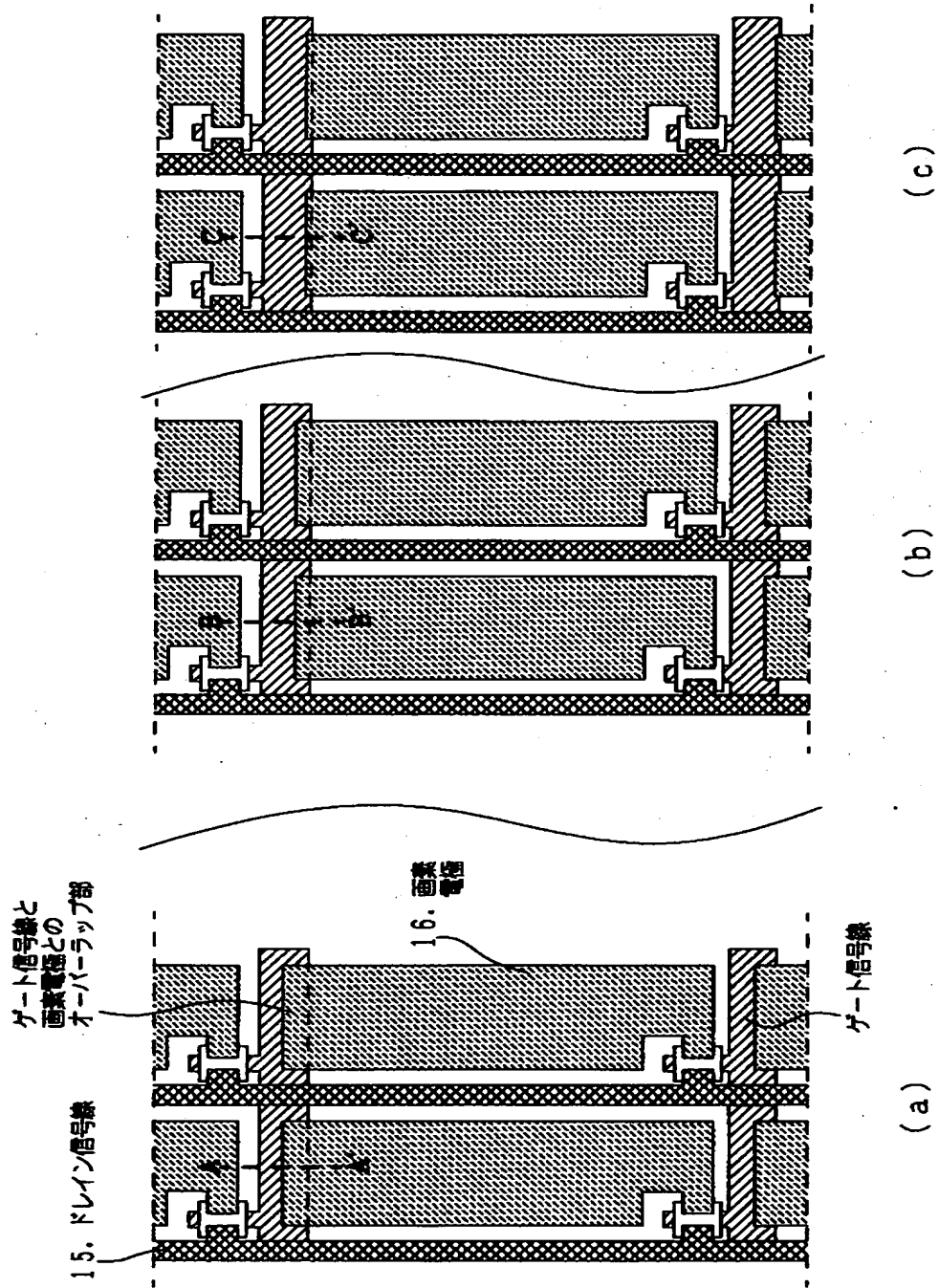


(b) 液晶表示装置の下側から見た断面図

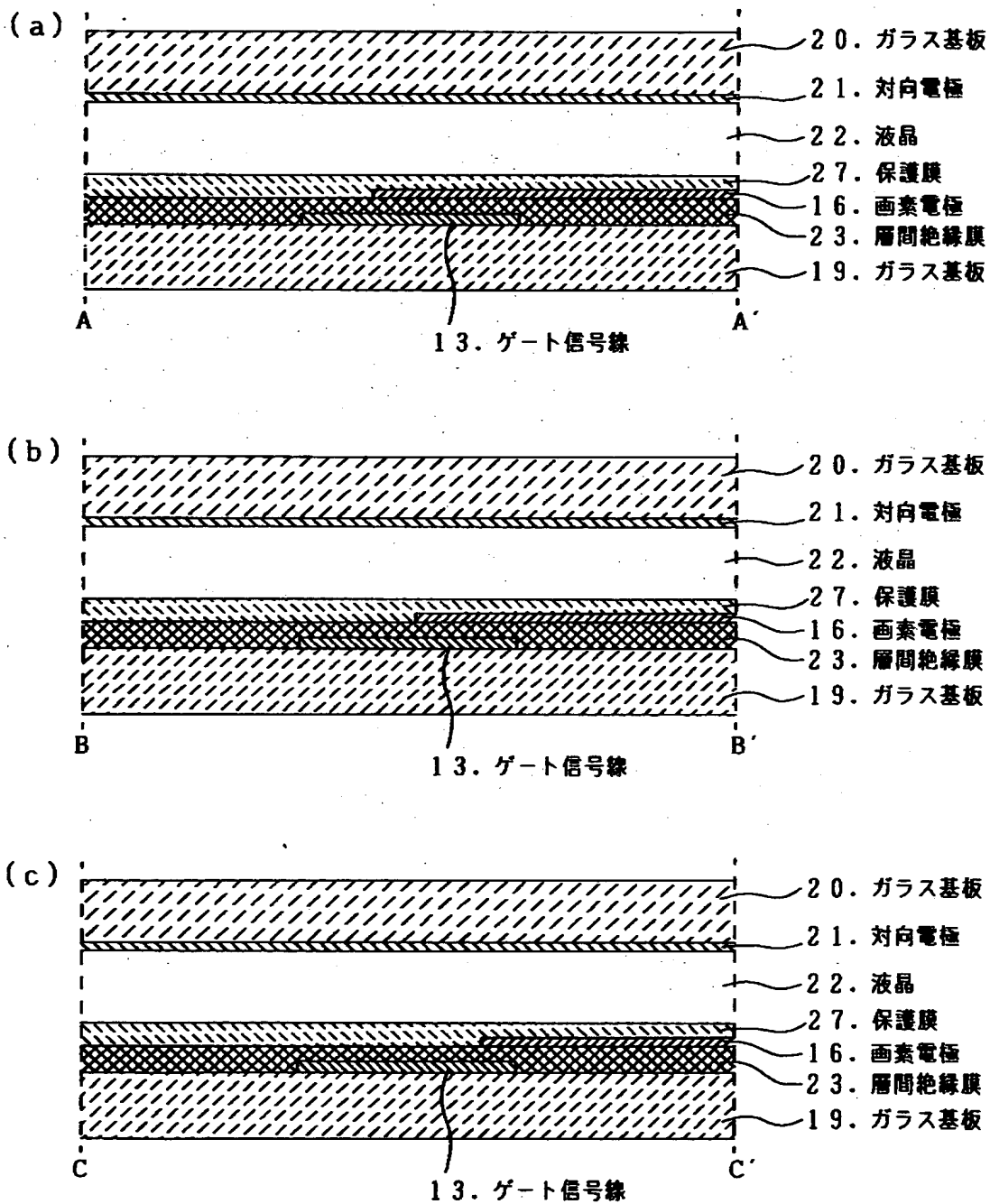
【図 1 1】



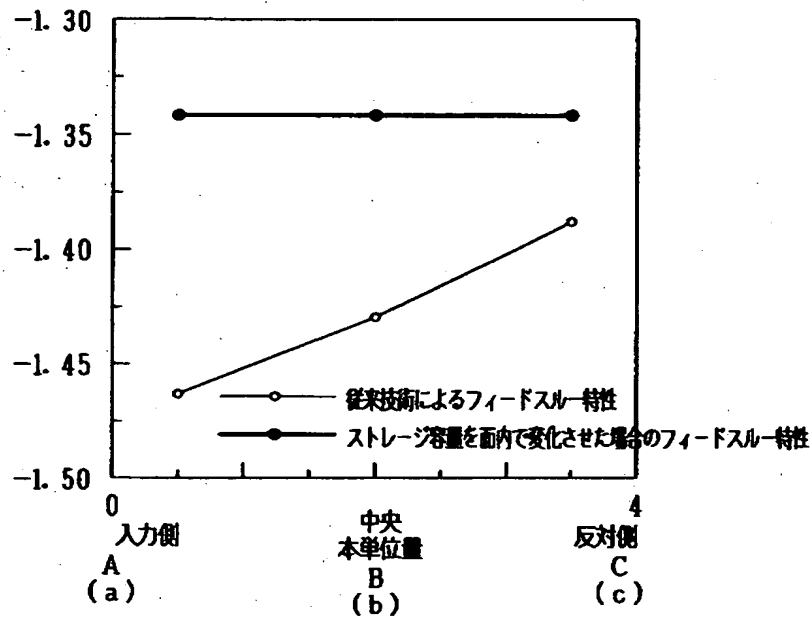
【図 1 2】



【図 13】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 表示画面内のフィードスルー電圧成分を均一にし、表示パネルの全表示画面内における表示焼き付きやシミ等を抑えると共に、輝度を均一にして、表示品位を向上せしめた液晶表示装置を提供する。

【解決手段】 ゲート信号線 1 3 とドレイン信号線 1 5 とがマトリクス状に配置され、これら信号線の交差位置にそれぞれ薄膜トランジスタ 1 4 と画素電極 1 6 とが形成された T F T 基板 1 9 と、この T F T 基板 1 9 に微小間隔で対向される対向基板 2 0 と、T F T 基板 1 9 と対向基板 2 0 との間隙に液晶材料 2 2 が挟持された液晶パネル 1 と、この液晶パネル 1 の一辺に沿って設けられたゲート信号入力部 2 と、前記液晶パネル 1 の表示部裏側に設けられたバックライト 4 とからなる液晶表示装置において、複数の前記画素電極 1 6 のそれぞれに付加的に設けられる補助容量 1 7 を、前記ゲート信号入力部 2 から離れるに従ってゲート信号線 1 3 の幅を狭くすることにより、その容量値が小さくなるように構成すると共に、前記バックライト 4 の輝度は、前記ゲート信号入力部 2 から離れるに従って下がるように構成したことを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社